

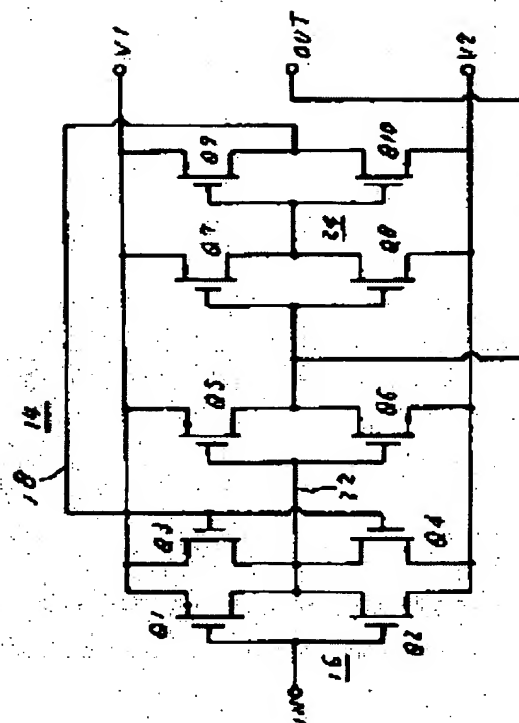
DIGITAL INPUT CIRCUIT

Patent number: JP59172826
Publication date: 1984-09-29
Inventor: MIZUKAMI MASAO
Applicant: HITACHI SEISAKUSHO KK
Classification:
- **International:** H03K5/00; H03K3/295
- **European:**
Application number: JP19830045933 19830322
Priority number(s):

Abstract of JP59172826

PURPOSE: To obtain a noise preventing circuit immune to the effect a high level noise having a short time width even without use of a high power supply voltage by applying positive feedback having a delay element to an amplifier in a signal transmission circuit having a hysteresis characteristic.

CONSTITUTION: C-MOSFET Q1-Q2 and Q5-Q6 of a digital input circuit 14 form an in-phase amplifier circuit 16 of two-stage constitution and C-MOSFET Q7-Q8, Q9-Q10 form the delay element 24. Positive feedback is applied to the circuit 16 via the delay element 24, a feedback path 18, C-MOSFET Q3-Q4 and its node 22. The delay time constant of the entire positive feedback path including the delay element 24 is set so as to be shorter than a pulse width of a normal input signal and longer than the width of noise superimposed on the input. Then, the transmission characteristic of the circuit 14 shows a hysteresis characteristic and the circuit 14 is not operated by a short time noise pulse with high level, allowing to improve considerably the noise blocking effect.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-172826

⑬ Int. Cl.³
H 03 K 5/00
3/295

識別記号

庁内整理番号
7232-5 J
6932-5 J

⑭ 公開 昭和59年(1984)9月29日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ デジタル入力回路

社日立製作所デバイス開発セン
タ内

⑯ 特 願 昭58-45933

⑰ 出 願 人 株式会社日立製作所

⑱ 出 願 昭58(1983)3月22日

東京都千代田区丸の内1丁目5

⑲ 発 明 者 水上雅雄

番1号

小平市上水本町1450番地株式会

⑳ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 デジタル入力回路

特許請求の範囲

1. 履歴特性を有する信号伝達回路によってデジタル入力信号をノイズから弁別するデジタル入力回路において、上記信号伝達回路は、増幅回路に正帰還をかけることにより履歴特性を持たせられるとともに、その正帰還に遅延要素をもたせられていることを特徴とするデジタル入力回路。

2. 上記増幅回路はC-MOS電界効果トランジスタによって構成されていることを特徴とする特許請求の範囲第1項記載のデジタル入力回路。

3. 上記遅延要素は多段増幅回路の伝達遅延効果を用いて構成されていることを特徴とする特許請求の範囲第1項または第2項記載のデジタル入力回路。

発明の詳細な説明

〔技術分野〕

この発明はデジタル入力信号をノイズから弁別するようにしたデジタル入力回路に関する。

〔背景技術〕

例えば第1図に示すように、大規模集積回路10では、外部入力端子 $I_1, I_2, I_3, \dots, I_n$ が接続されるボンディングパッド $P_1, P_2, P_3, \dots, P_n$ と内部回路12の間に入出力バッファ部20を介在させる。このバッファ部20には個々の入力ライン毎にデジタル入力回路14, 14, 14, ……が形成される。この入力回路14は、履歴特性を有する信号伝達回路によって入力信号をノイズから弁別することができるように構成される。具体的にはシュミットトリガーが使用される。このシュミットトリガーによるデジタル入力回路14は、第2図に示すように、増幅回路16の出力OUT側から帰還路18を介して入力IN側に正帰還をかけることにより構成される。

第3図は、上記入力回路14のさらに具体的な例を示す。同図に示す入力回路14は、それぞれ電源 V_1, V_2 に接続された3組のC-MOS電界効果トランジスタ $Q_1 - Q_2, Q_3 - Q_4, Q_5 - Q_6$ により構成されている。C-MOS電界効

果トランジスタ $Q_1 - Q_2$ および $Q_3 - Q_4$ は同相増幅回路16を形成する。その出力OUT側から入力IN側には、帰還路18、C-MOS電界効果トランジスタ $Q_5 - Q_6$ およびそのノード22を介して正帰還がかけられている。これにより、第4図に示すような履歴特性を有するようになる。同図において、横軸の V_{in} は入力レベルを、縦軸の V_{out} は出力レベルをそれぞれ表わす。同図に示すように、出力OUTの状態を“L”レベルから“H”レベルに反転させるための入力しきい値 V_{th2} と“H”レベルから“L”レベルに反転させるための入力しきい値 V_{th1} との間に差があり、これによりノイズマージンを餘いで比較的低レベルの重畳ノイズに対しては動作しないようになっている。ところが、第5図に示すように、極く短い時間幅であっても、上記入力しきい値 V_{th1} ・ V_{th2} を僅かでも越えるノイズ N_1 ・ N_2 が入力IN側に重畳されると、正帰還により出力OUTの論理レベルが“L”から“H”あるいは“H”から“L”に反転する状態が生じてしまう。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、履歴特性を有する信号伝達回路によってデジタル入力信号をノイズから弁別するデジタル入力回路において、上記信号伝達回路を、増幅回路に正帰還をかけることにより履歴特性を持たせるとともに、その正帰還に遅延要素をもたせて構成することにより、高い電源電圧を用いずとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにし、これによりノイズ阻止効果を向上させるという目的を達成するものである。

〔実施例〕

以下、この発明の代表的な実施例を図面を参照

このような反転状態が生じると、ノイズの影響は却って大きく現われるようにさえなってしまう。このような比較的高レベルのノイズ N_1 ・ N_2 の影響も受けないようにするためには、電源 V_1 ・ V_2 の電圧を高くして上記入力しきい値 V_{th1} ・ V_{th2} を十分に大きくしなければならない。しかし、大規模集積回路などの多くの回路では、その電源電圧が例えば5Vといった比較的低い電圧に統一しなければならないものが多く、従って電源 V_1 ・ V_2 の電圧を高くして入力しきい値 V_{th1} ・ V_{th2} を大きくとるということは、実現が困難である。

〔発明の目的〕

この発明は以上のような問題を鑑みてなされたもので、その目的とするところは、高い電源電圧を用いずとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにし、これによりノイズ阻止効果のすぐれたデジタル入力回路を提供することにある。

しながら説明する。

なお、図面において同一あるいは相当する部分には同一符号で示す。

第6図はこの発明によるデジタル入力回路の一実施例を示す。同図に示すデジタル入力回路14は、履歴特性を有する信号伝達回路、すなわち一種のシュミットトリガーにより構成される。この信号伝達回路は、増幅回路16の出力OUT側から入力IN側に正帰還をかけるとともに、その帰還路18に遅延要素24をもたせることにより構成される。

第7図は上記デジタル入力回路14をC-MOS電界効果トランジスタ $Q_1 - Q_2$ ・ $Q_3 - Q_4$ ・ $Q_5 - Q_6$ ・ $Q_7 - Q_8$ ・ $Q_9 - Q_{10}$ を用いて構成した実施例を示す。各C-MOS電界効果トランジスタ $Q_1 - Q_2$ ・ $Q_3 - Q_4$ ・ $Q_5 - Q_{10}$ はそれぞれ電源 V_1 ・ V_2 の間で直列に接続され、相補的に導通動作するようになっている。C-MOS電界効果トランジスタ $Q_1 - Q_2$ ・ $Q_3 - Q_4$ は2段構成の同相増幅回路16を形成する。また、C-MOS

電界効果トランジスタ $Q_1, -Q_1, Q_2, -Q_2$ も2段増幅回路を形成する。ただし、後者の2段増幅回路は、その伝達に所定の遅延効果が生じるように各C-MOS電界効果トランジスタのサイズや入出力容量が選ばれ、これにより一種の遅延要素24として機能するようになっている。前者の同相増幅回路16は、その出力OUT側から入力IN側に正帰還がかけられている。この正帰還は、遅延要素24、帰還路18、C-MOS電界効果トランジスタ $Q_3, -Q_3$ およびそのノード22をそれぞれ介してかけられる。上記遅延要素24を含む正帰還路全体の遅延時定数は、正規の入力信号のパルス幅よりも短く、かつ入力に重畳するノイズの幅よりも長くなるように設定される。これにより、そのデジタル入力回路14の伝達特性は、先ず、正規の入力信号に対しては、第8図(a)に示すような履歴特性を示すようになる。同図において、横軸の V_{in} は入力レベルを、また縦軸の V_{out} は出力レベルをそれぞれ示す。つまり、一種のシュミットトリガーとして動作し、出力OUTの状

態を“L”レベルから“H”レベルに反転させるための入力しきい値 V_{th2} と“H”レベルから“L”レベルに反転させるための入力しきい値 V_{th1} の間に差をもたせ、これにより正側および負側のいずれの方向からもノイズマージンを大きくとることができて、比較的低レベルのノイズの影響を受けないようにすることができる。ところが、第8図aに示すような履歴特性は、上記増幅回路26に正帰還がかかることにより生じるものであって、入力レベルの持続時間が短いと、その入力レベルが上記入力しきい値 V_{th1}, V_{th2} を越えていても、上記遅延要素24の遅延効果によって履歴特性を生じさせるための正帰還がかからない。このような短い持続時間の入力レベルの変化に対しては、上記入力回路14は、第8図(b)または(c)に示すように、単に線形の伝達特性を示すだけであって、出力OUTのレベル状態は反転することなく、その状態を保持し続ける。つまり、上記正帰還路の時定数よりも短い入力レベルの変化に対してはシュミットトリガーとして感動しない。これによ

り、第9図に示すように、時間幅は短いが入力しきい値 V_{th1}, V_{th2} を越える高レベルのノイズ N_1, N_2 が入力INに重畳されても、出力OUT側の状態は反転されない。これにより、無理に電源電圧を高めて入力しきい値レベルを大きくするというを行なわずとも、比較的低い電圧例えば5Vといった電源電圧を用いても、十分なノイズ阻止効果を得ることができる。

第10図は上記デジタル入力回路14の好適な適用例を示す。同図に示すように、上記デジタル入力回路14は、C-MOS構成の大規模半導体集積回路10の内部回路12とボンディングパッド部 $P_1, P_2, P_3, \dots, P_n$ の間に介在する入出力バッファ部20に個々の入力ライン毎に配設される。同図に示す半導体集積回路10は、そこに形成された多数のボンディングパッド部 $P_1 \sim P_n$ にそれぞれ外部引出し線が密集して接続されるため、引出し線間の誘導干渉などによってノイズが非常に重畳されやすくなっている。このようなMOS型半導体集積回路において、上記入力回

路14は、その履歴特性の時間選択性により、上記重畳ノイズを非常に効果的に阻止することができる。

〔効果〕

以上のように、この発明によるデジタル入力回路は、高い電源電圧を用いずとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにすることができ、これによりノイズ阻止効果を大幅に向上させることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記デジタル入力回路14はバイポーラトランジスタを用いて構成することもできる。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるMOS

型半導体集積回路について説明したが、それに限定されるものではなく、例えば、バイポーラ型半導体集積回路あるいは個別回路などにも適用できる。

図面の簡単な説明

第1図はデジタル入力回路の使用例を示す回路図である。

第2図はこの発明以外のデジタル入力回路の例を示す回路図である。

第3図は第2図の回路をさらに具体化した回路図である。

第4図は第3図の回路の伝達特性を示す図である。

第5図は第3図の回路の動作例を示すチャートである。

第6図はこの発明の実施例によるデジタル入力回路を示す回路図である。

第7図は第6図の回路をさらに具体化した回路図である。

第8図は第7図の回路の伝達特性を示す図である。

る。

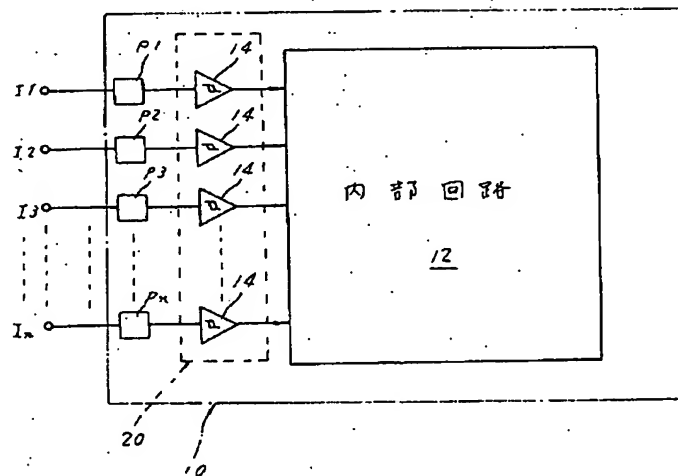
第9図は第7図の回路の動作例を示すチャートである。

第10図はこの発明によるデジタル入力回路の適用例を示す平面図である。

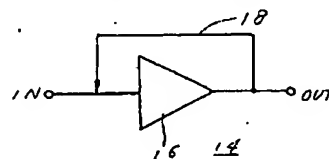
10…半導体集積回路、12…内部回路、14…デジタル入力回路、16…増幅回路、18…帰還路、20…入出力バッファ部、22…ノード、24…遅延要素、 $I_1 \sim I_n$ …入力端子、 $P_1 \sim P_n$ …ボンディングパッド部、 $Q_1 \sim Q_n$ …コンプリメンタリ回路を構成するC-MOS電界効果トランジスタ、 N_1, N_2 …ノイズ、 V_{th1}, V_{th2} …入力しきい値、 V_1, V_2 …電源。

代理人 弁理士 高橋 明 夫

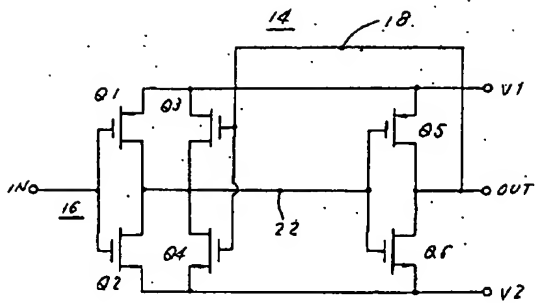
第 1 図



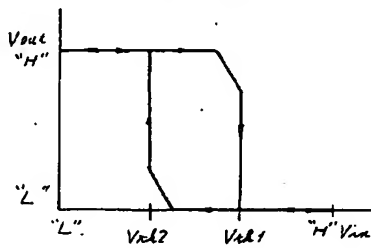
第 2 図



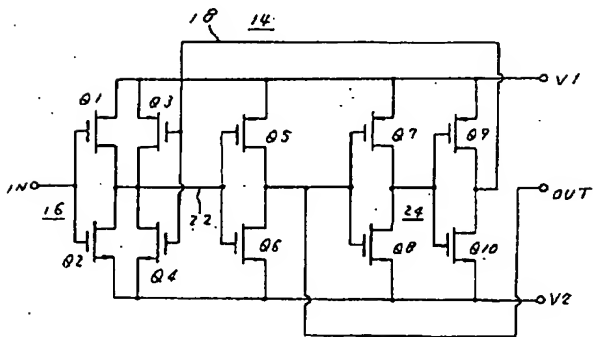
第 3 図



第 4 図

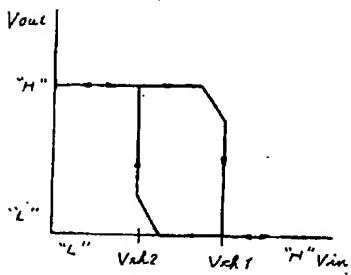


第 7 図

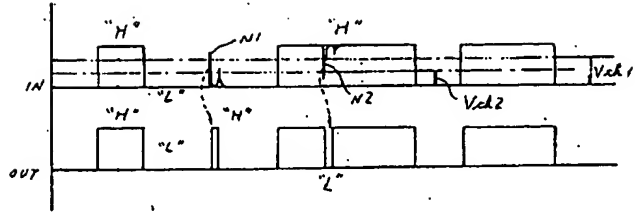


第 8 図

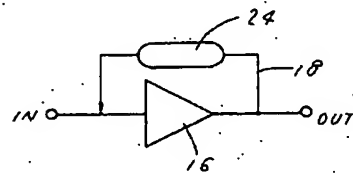
(a)



第 5 図

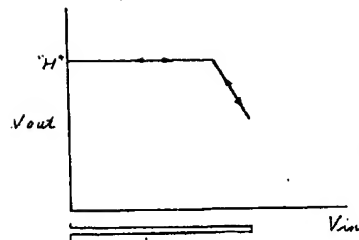


第 6 図



第 8 図

(b)



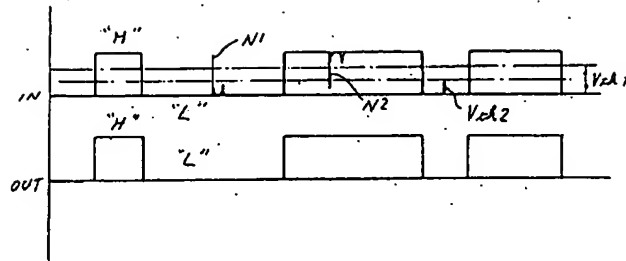
きつい正パルス入力の場合

(c)

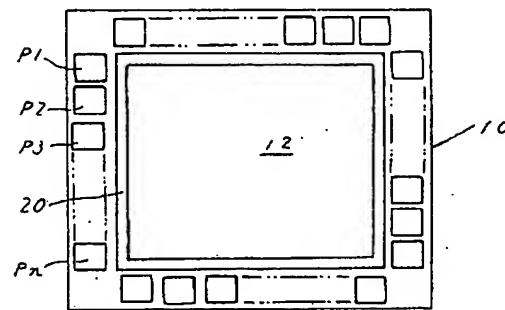


きつい負パルス入力の場合

第 9 図



第 10 図



手続補正書(方式)

昭和 58 年 7 月 27 日

特許庁長官 殿
事件の表示

昭和 58 年 特許願 第 45933 号

発明の名称

デジタル入力回路

補正をする者

特許出願人

名 称 (519) 株式会社 日立製作所

代 理 人

住 所 〒110 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 東京 312-1111 (代表)

氏 名 (6189) 年 理 士 高 橋 明 夫

補正命令の日付 昭和 58 年 6 月 28 日

補正の対象

図面

補正の内容

図面第 8 図(b), (c)を別紙の通り補正します。58.7.27

特許庁

第 8 図

